



This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Intellectual
Property Office.

출원 번호 : 특허출원 2001년 제 33086 호
Application Number PATENT-2001-0033086

출원 년 월 일 : 2001년 06월 13일
Date of Application JUN 13, 2001

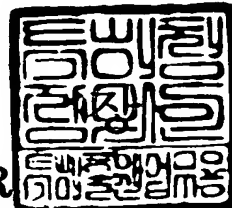
출원인 : 삼성전자 주식회사
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.



2001 년 08 월 29 일

특 허 청

COMMISSIONER



【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【제출일자】	2001.06.13
【발명의 명칭】	패키지 전원핀을 이용한 제어신호 인가방법 및 그 에 따른 집적회로 패키지 구조
【발명의 영문명칭】	Control signal providing method using package power pins and IC package structure therefore
【출원인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【대리인】	
【성명】	김능균
【대리인코드】	9-1998-000109-0
【포괄위임등록번호】	2001-022241-9
【발명자】	
【성명의 국문표기】	박용대
【성명의 영문표기】	PARK, Yong Dae
【주민등록번호】	740806-1648119
【우편번호】	449-900
【주소】	경기도 용인시 기흥읍 공세리 청구APT 102동 104호
【국적】	KR
【발명자】	
【성명의 국문표기】	조옥래
【성명의 영문표기】	CHO, Uk Rae
【주민등록번호】	640306-1804617
【우편번호】	441-390
【주소】	경기도 수원시 권선구 권선동 1187 신현대APT 2동 402호
【국적】	KR
【심사청구】	청구
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조 의 규정에 의한 출원심사 를 청구합니다. 대리인 김능균 (인)

【수수료】

【기본출원료】	18	면	29,000	원
---------	----	---	--------	---

【가산출원료】	0	면	0	원
---------	---	---	---	---

【우선권주장료】	0	건	0	원
----------	---	---	---	---

【심사청구료】	20	항	749,000	원
---------	----	---	---------	---

【합계】	778,000	원		
------	---------	---	--	--

【첨부서류】	1. 요약서·명세서(도면)_1통			
--------	-------------------	--	--	--

【요약서】**【요약】**

생산성 향상을 위해 집적회로 칩을 패키징한 상태에서 상기 집적회로 칩내의 옵션 패드에 제어신호를 인가하는 방법이 개시된다. 그러한 방법은, 상기 집적회로 칩을 패키징한 집적회로 패키지에 할당된 복수의 전원인가용 핀들중 적어도 하나의 핀을, 상기 집적회로 칩내에 설치된 전원 패드에는 연결함이 없이 상기 옵션 패드에 독립적으로 연결하여 두고, 상기 옵션 패드와 연결된 상기 전원인가용 핀을 통해 외부에서 제어신호를 인가하는 것을 특징으로 한다.

【대표도】

도 2

【색인어】

집적회로 패키지, 집적회로 칩, 전원핀, 제어신호, 테스트

【명세서】**【발명의 명칭】**

패키지 전원핀을 이용한 제어신호 인가방법 및 그에 따른 집적회로 패키지 구조{Control signal providing method using package power pins and IC package structure therefore}

【도면의 간단한 설명】

도 1은 통상적인 집적회로 패키지의 구성도

도 2는 본 발명의 실시 예에 따른 집적회로 패키지의 구성도

도 3은 도 2중 전원핀 관련 연결구성을 보인 구체도

【발명의 상세한 설명】**【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

<4> 본 발명은 스테틱 랜덤 액세스 메모리 등과 같은 반도체 집적회로 패키지 구성에 관한 것으로, 특히 패키지 레벨에서 추가 핀의 할당없이 테스트용 제어신호를 인가할 수 있는 패키지 전원핀을 이용한 제어신호 인가방법 및 그에 따른 집적회로 패키지 구조에 관한 것이다.

<5> 일반적으로, 랜덤 액세스 메모리(RAM)소자 등과 같은 반도체 집적회로의 제조에 있어서, 소자(Device)의 각종 전기적 특성 확인 및 컨트롤을 행하기 위해,

소자의 동작에 필요한 패드 외에 부가적인 옵션 패드(Option Pad)가 칩 내에 형성되어진다. 그러한 옵션 패드는 패키지 조립공정에서 전원 패드인 접지전원전압(VSS)패드 또는 공급전원전압(VDD)패드와 본딩됨에 의해 전기적으로 쇼트된다. 상기 옵션 패드의 용도는 다양하다. 예컨대, 초기 불량률 스크린하여 칩의 신뢰성 보장을 위해 웨이퍼 레벨 상태에서 선택된 복수개의 메모리 셀들로 온도 및 전압 스트레스를 가하는 웨이퍼 번인(Burn-In)테스트, 다수개의 입출력(Input/Output)을 동시에 테스트하기 위한 머지드 데이터 출력 테스트(Merged-DQ test), 다수의 메모리 셀을 동시에 테스트하기 위한 병렬 비트 테스트(Parallel BIT Test)등을 수행하고자 할 경우에 상기 옵션 패드는 상기 다양한 테스트 모드들로 진입하기 위한 테스트 제어신호를 수신하는 패드로서 사용된다. 상기한 옵션 패드를 사용하여 각종 테스트를 수행하는 이유는 상기 옵션 패드를 사용하는 것이 테스트 효율성이 좋아서 반도체 제품의 생산성 향상이 달성되기 때문이다.

<6> 그러나, 상기 옵션 패드를 활용하여 각종 테스트를 수행할 수 있는 경우는 집적회로 칩들이 웨이퍼 상에 존재하는 웨이퍼 레벨 상태일 때다. 즉, 웨이퍼 레벨 상태에서는 상기 옵션 패드를 사용하여 설정된 테스트를 수행함에 의해 생산성을 향상시킬 수 있었으나, 웨이퍼 상의 칩들이 하나씩 패키지 화 되는 패키지 레벨 상태에서는 상기 옵션 패드가 패키지 레벨 상태에서는 노출되지 않으므로 각종 테스트가 제한된다. 왜냐하면, 패키지 조립 타입의 규격이 정해져 있기 때문에 각 패키지 핀(Pin)들의 기능도 정해져 있게 된다. 그러한 상태에서 상기 옵션

션 패드와 연결될 부가적인 옵션 핀을 추가로 패키지 상태에서 할당하는 것은 매우 어려운 문제가 있다.

- <7> 결국, 패키지 핀 구성이 규격화 되어 있고 타이트한 핀 배치 상태를 갖는 상황하에서는 옵션 패드와 연결될 옵션 핀을 패키지에 임의로 할당하는 것은 매우 어려운 일이며, 그에 따라 패키지 레벨 상태에서의 각종 테스트는 원활히 수행되지 못하여 제품 생산성이 떨어진다.
- <8> 이하에서는 상기한 문제점에 대한 더욱 철저한 이해를 제공하기 위하여 도면을 참조하여 설명한다. 통상적인 집적회로 패키지의 구성을 보인 도 1을 참조하면, 집적회로 칩(10)내에는 내부회로로서의 수신파트(12), 웨이퍼 패드 파트(13)가 형성되고, 상기 집적회로 칩(10)을 리드 프레임에 장착하여 패키징한 집적회로 패키지는 패키지 핀 파트(21)를 포함한다. 상기 수신파트(12)에는 콘트롤 리시버(1), 옵션 리시버(2), 전원(VSS/VDD)라인(3)이 형성되고, 상기 웨이퍼 패드 파트(13)에는 콘트롤 패드 및 정전방전(ESD)회로(4), 옵션 패드(5), 복수의 전원 패드(6,7)이 형성된다. 상기 패키지 핀 파트(21)의 일부에는 콘트롤 핀(22), 상기 복수의 전원 패드(6,7)에 대응되어 연결되는 전원 핀(23,24)이 형성된다.
- <9> 상기한 도면에서와 같은 구조에서, 웨이퍼 레벨 상태에서는 상기 옵션 패드(5)가 외부에 노출되어 있으므로 상기 옵션 패드(5)를 통해 설정된 제어신호가 옵션 리시버(2)에 제공되게 하여 원하는 테스트를 수행하는 것이 가능하다. 그러나 패키지 조립완료 후에는 상기 옵션 패드(5)와 연결되는 패키지 핀이 할당되어 있지 않기 때문에 원하는 테스트를 수행하지 못한다. 그러므로, 집적회로

패키지 레벨 상태에서, 상기 옵션 패드를 이용한 테스트가 수행되게 하려면 패키지상에 별도의 패키지 핀을 할당하여야 한다. 그러나, 패키지 조립 타입의 규격이 정해져 있는 상태에서 상기 옵션 패드와 연결될 부가적인 옵션 핀을 추가로 패키지 상태에서 할당하는 것은 매우 어려운 문제를 유발한다.

【발명이 이루고자 하는 기술적 과제】

- <10> 따라서, 본 발명의 목적은 상기한 문제점들을 해결하는 제어신호 인가방법 및 그에 따른 집적회로 패키지 구조를 제공함에 있다.
- <11> 본 발명의 다른 목적은 패키지 레벨에서 추가 핀의 할당없이 테스트용 제어신호를 인가할 수 있는 패키지 전원핀을 이용한 제어신호 인가방법 및 그에 따른 집적회로 패키지 구조를 제공함에 있다.
- <12> 본 발명의 또 다른 목적은 잉여의 VDD 또는 VSS 핀을 사용하여 패키지화된 상태에서 내부 제어옵션을 이용할 수 있는 방법을 제공함에 있다.
- <13> 본 발명의 또 다른 목적은 테스트 타임 및 신뢰성 향상을 위해 테스트 단에서 디바이스를 제어할 수 있는 옵션 핀 구조를 제공함에 있다.
- <14> 상기한 목적들을 달성하기 위한 본 발명의 양상(aspect)에 따라, 집적회로 칩을 패키징한 상태에서 상기 집적회로 칩내의 옵션 패드에 제어신호를 인가하는 방법은, 상기 집적회로 칩을 패키징한 집적회로 패키지에 할당된 복수의 전원인가용 핀들중 적어도 하나의 핀을, 상기 집적회로 칩내에 설치된 전원 패드에는 연결함이 없이 상기 옵션 패드에 독립적으로 연결하여 두고, 상기 옵션 패드와

연결된 상기 전원인가용 핀을 통해 외부에서 제어신호를 인가하는 것을 특징으로 한다.

<15> 본 발명의 다른 양상에 따라, 집적회로 칩을 패키징한 상태에서도 테스트용 제어신호를 외부에서 인가하는 것이 가능한 집적회로 패키지의 구조는, 상기 집적회로 패키지에 장착되며, 테스트를 위한 내부회로에 연결되는 옵션 패드 및 전원라인들에 연결되는 전원 패드들이 형성된 집적회로 칩과; 상기 집적회로 패키지에 할당되어 형성된 복수의 전원인가용 핀들중 상기 전원 패드들에 연결된 전원인가 그룹 핀들과; 상기 복수의 전원인가용 핀들중 상기 전원인가 그룹 핀들을 제외한 나머지 핀들 중에서 상기 옵션 패드에만 독립적으로 연결되어 상기 테스트용 제어신호를 상기 옵션 패드를 통해 상기 내부회로에 제공하는 적어도 하나의 신호인가 핀을 구비함을 특징으로 한다.

<16> 상기한 구성에 따르면, 패키지 레벨에서 추가 핀의 할당없이 옵션 패드에 테스트용 제어신호를 인가할 수 있게 된다.

【발명의 구성 및 작용】

<17> 이하에서는 본 발명에 따른 구조에 대한 바람직한 실시 예가 첨부된 도면들을 참조하여 설명된다. 비록 다른 도면에 표시되어 있더라도 동일내지 유사한 기능을 수행하는 구성요소들은 동일한 참조부호로서 나타나 있다. 또한, 실시 예의 도면에서는 본 발명을 설명하기 위해 필요한 부분만이 도시된다.

<18> 본 발명에 따른 집적회로 패키지의 구성을 보인 도 2를 참조하면, 집적회로 칩(11)내에는 내부회로로서의 수신파트(12), 웨이퍼 패드 파트(13)가 형성되고, 상기 집적회로 칩(11)을 프린티드 회로 보오드에 장착하여 패키징한 집적회로 패키지는 패키지 핀 파트(21)를 포함한다. 상기 수신파트(12)에는 콘트롤 리시버(1), 옵션 리시버(2), 전원(VSS/VDD)라인(3)이 형성되고, 상기 웨이퍼 패드 파트(13)에는 콘트롤 패드 및 정전방전(ESD)회로(4), 커패시터(14, 옵션 패드 및 ESD 회로(15), 복수의 전원 패드(6,7)가 형성된다. 상기 패키지 핀 파트(21)의 일부에는 콘트롤 핀(22), 상기 옵션 패드 및 ESD 회로(15)에 연결된 전원 핀(25), 상기 복수의 전원 패드(6,7)에 대응되어 연결되는 전원 핀(23,24)이 형성된다.

<19> 본 발명의 실시 예에서는 상기 도면에서 보여지는 바와 같이, 패키지 레벨 상태에서 테스트를 위한 벤더 옵션 콘트롤(Vendor option control)을 행하기 위해 패키지 핀으로서 할당된 복수의 전원 핀들 예컨대 VDD 또는 VSS 핀들 중에서 별도의 하나의 핀을 분리하여 상기 옵션 패드(15)와 연결한 구성이 특징이다. 상기 전원 핀(25)은 설계시에 비록 전원 핀으로 할당되었지만 본 발명의 실시 예에서는 상기 옵션 패드(15)와 독립적으로 연결되어 테스트용 제어신호를 인가하는 용도로 사용된다.

<20> 결국, 도 2의 구조는 집적회로 칩을 패키징한 상태에서 상기 집적회로 칩(11)내의 옵션 패드(15)에 제어신호를 인가하기 위해, 상기 집적회로 칩을 패키징한 집적회로 패키지에 할당된 복수의 전원인가용 핀들(23,24,25)중 적어도 하나의 핀을, 상기 집적회로 칩내에 설치된 전원 패드(6,7)에는 연결함이 없이 상

기 옵션 패드(15)에 독립적으로 연결하는 구조이다. 상기 집적회로 패키지는 불그리드 어레이 핀 배열을 가질 수 있다.

<21> 상기 옵션 패드(15)에 키퍼(Keeper)회로(14)를 연결한 것은 핀의 오픈시에 디바이스의 오동작을 막기 위해서이다. 상기 키퍼회로(14)는 옵션 패드의 플로팅 시 옵션 패드의 전압을 로우(또는 하이)레벨을 유지케 하는 기능을 한다.

여기서, 상기 키퍼 회로(14)의 출력과 상기 VSS(VDD)핀의 전압레벨이 동일한 레벨로 될 수 있도록 하는 것이 중요하다. 즉, 상기 옵션 패드(15)가 접지전원전압 핀(25)에 연결된 경우라면 상기 키퍼 회로(14)의 출력은 로우 레벨이 되도록 한다.

<22> 또한, 상기 옵션 패드(15)에는 ESD 기능을 가질 수 있도록 하기 위해 ESD 회로가 추가된다.

<23> 도 3에는 도 2중 전원핀 관련 연결구성을 보인 구체도가 도시된다. 도 3을 참조하면, 집적회로 칩(11)을 인쇄회로 기판에 장착하여 패키징한 상태에서도 테스트용 제어신호를 외부에서 인가하는 것이 가능하도록 하기 위해, 상기 집적회로 패키지(20)에 할당되어 형성된 복수의 전원인가용 핀들(23,24,25)중 상기 전원 패드들에 연결된 전원인가 그룹 핀들(23,24)과, 상기 복수의 전원인가용 핀들중 상기 전원인가 그룹 핀들을 제외한 나머지 핀들 중에서 상기 옵션 패드에만 독립적으로 연결되어 상기 테스트용 제어신호를 상기 옵션 패드를 통해 상기 내부회로에 제공하는 적어도 하나의 신호인가 핀(25)이 보여진다. 도면에서는 상기 전원인가 그룹 핀들(23,24)은 접지전압 핀들(VSSP1,VSSP2)로 되어있고 인쇄회로 기판을 통해 접지 패드들(VSS1,VSS2)과 연결되어 있다. 또한, 상기 신호인가 핀

(25)도 접지전압 핀(VSSP3)으로 되어있으며, 옵션 패드(OP1)에 연결된다. 상기 옵션 패드(OP1)와 접지간에는 ESD 회로로서 기능하는 엔형 모오스 트랜지스터(N1)가 연결된다. 또한, 상기 옵션 패드(OP1)와 접지간에는 상기 커패시터(14)로서 기능하는 저항(R1)이 연결되며, 상기 옵션 패드(OP1)에 입력단이 연결된 CMOS 인버터(2)가 입력 리시버회로로서 연결되어 있다.

<24> 상기한 바와 같은 핀 연결 구조를 가지는 본 발명의 실시 예에 따라, 상기 전원핀(25)을 통해 외부 테스트용 제어신호를 인가하여 테스트가 수행되어 지도 록 하는 방법이 이하에서 예를 들어 설명된다.

<25> 컬럼(Column)방향으로 M개, 로우(Row)방향으로 N개, 총 MxN개의 패키지 디바이스를 하나의 보오드(Board)에 삽입한다. 상기 전원 핀(25)을 통해 번인 테스트용 제어신호를 하이레벨로서 인가한다. 상기 옵션 패드(OP1)에 수신된 하이 레벨은 옵션 리시버(2)를 통해 로우레벨로 출력된다. 상기 로우 레벨은 미도시된 번인 제어회로에 인가되어 번인 테스트가 수행되게 한다.

<26> 예를 들어, 16M DDR SRAM과 32M DDR SRAM의 핀 구성(Pin Configuration)을 비교해 보면, 16M DDR SRAM에서는 /G Pin이 32M DDR SRAM에서는 어드레스(Address)Pin으로 바뀌고, /G pin이 없다. 따라서, 16M DDR일 경우에는 /G 리시버를 /G 패드와 연결시켜주고, 32M DDR SRAM에서 테스트용으로 /G 핀을 이용할 수 있도록 32M 어드레스 리시버(Address Receiver)를 /G 패드에 연결시키고 /G 리시버를 VSS 패드에 연결시켜준다. /G 리시버에는 핀 플로팅(Pin floating) 오동작을 막을 수 있도록 VSS사이에 레벨 유지용 커패 회로를 설치하여 /G pin이 사용 가능토록 해준다.

<27> 상기한 바와 같이, 패키지 레벨에서 추가 핀의 할당없이 옵션 패드에 테스트용 제어신호를 인가할 수 있어, 핀 운영을 원활히 할 수 있고 패키지 레벨에서 각종 원하는 테스트를 효율적으로 행하여 생산성을 개선할 수 있다.

<28> 상기한 설명에서 본 발명의 실시 예를 위주로 도면을 따라 예를 들어 설명하였지만, 본 발명의 기술적 사상의 범위 내에서 본 발명을 다양하게 변형 또는 변경할 수 있음은 본 발명이 속하는 분야의 당업자에게는 명백한 것이며, 그러한 변형이나 변경 역시 본 발명의 범위에 속한다 할 것이다. 예를 들어, 사안이 다른 경우에 패드 및 회로의 연결구성을 변경시킬 수 있음은 물론이다.

【발명의 효과】

<29> 상기한 바와 같은 본 발명에 따르면, 패키지 레벨에서 추가 핀의 할당없이 테스트용 제어신호를 옵션 패드에 인가할 수 있어 핀 운영을 원활히 할 수 있고 패키지 레벨에서 각종 원하는 테스트를 효율적으로 행하여 생산성을 개선할 수 있는 효과를 갖는다.

【특허청구범위】**【청구항 1】**

집적회로 칩을 패키징한 상태에서 상기 집적회로 칩내의 옵션 패드에 제어 신호를 인가하는 방법에 있어서:

상기 집적회로 칩을 패키징한 집적회로 패키지에 할당된 복수의 전원인가용 핀들중 적어도 하나의 핀을, 상기 집적회로 칩내에 설치된 전원 패드에는 연결함이 없이 상기 옵션 패드에 독립적으로 연결하여 두고, 상기 옵션 패드와 연결된 상기 전원인가용 핀을 통해 외부에서 제어신호를 인가하는 것을 특징으로 하는 방법.

【청구항 2】

제1항에 있어서, 상기 전원인가용 핀이 접지전압 핀인 경우에 상기 전원 패드는 접지전압 패드임을 특징으로 하는 방법.

【청구항 3】

제1항에 있어서, 상기 전원인가용 핀이 전원공급전압 핀인 경우에 상기 전원 패드는 전원공급전압 패드임을 특징으로 하는 방법.

【청구항 4】

제1항에 있어서, 상기 옵션 패드는 패키지 레벨에서의 번인 테스트가 행해지도록 하기 위한 패드임을 특징으로 하는 방법.

【청구항 5】

제1항에 있어서, 상기 제어신호는 패키지 레벨에서의 번인 테스트가 행해지도록 하기 위한 외부신호임을 특징으로 하는 방법.

【청구항 6】

제1항에 있어서, 상기 제어신호는 패키지 레벨에서의 번인 테스트, 입출력 테스트, 병렬비트 테스트중의 하나가 행해지도록 하기 위한 외부신호임을 특징으로 하는 방법.

【청구항 7】

제1항에 있어서, 상기 집적회로 패키지는 볼 그리드 어레이 핀들을 포함함을 특징으로 하는 방법.

【청구항 8】

제1항에 있어서, 상기 집적회로 칩은 스택틱 랜덤 액세스 메모리 소자임을 특징으로 하는 방법.

【청구항 9】

집적회로 칩을 패키징한 상태에서도 테스트용 제어신호를 외부에서 인가하는 것이 가능한 집적회로 패키지의 구조에 있어서:

상기 집적회로 패키지에 장착되며, 테스트를 위한 내부회로에 연결되는 옵션 패드 및 전원라인들에 연결되는 전원 패드들이 형성된 집적회로 칩과;

상기 집적회로 패키지에 할당되어 형성된 복수의 전원인가용 핀들중 상기 전원 패드들에 연결된 전원인가 그룹 핀들과;

상기 복수의 전원인가용 핀들중 상기 전원인가 그룹 핀들을 제외한 나머지 핀들 중에서 상기 옵션 패드에만 독립적으로 연결되어 상기 테스트용 제어신호를 상기 옵션 패드를 통해 상기 내부회로에 제공하는 적어도 하나의 신호인가 핀을 구비함을 특징으로 하는 집적회로 패키지 구조.

【청구항 10】

제9항에 있어서, 상기 전원인가 그룹 핀들이 접지전압 핀들인 경우에 상기 전원 패드들은 접지전압 패드들임을 특징으로 하는 집적회로 패키지 구조.

【청구항 11】

제9항에 있어서, 상기 전원인가 그룹 핀들이 전원공급전압 핀들인 경우에
상기 전원 패드들은 전원공급전압 패드들임을 특징으로 하는 집적회로 패키지 구조.

【청구항 12】

제9항에 있어서, 상기 옵션 패드는 패키지 레벨에서의 번인 테스트가 행해
지도록 하기 위한 패드임을 특징으로 하는 집적회로 패키지 구조.

【청구항 13】

제9항에 있어서, 상기 테스트용 제어신호는 패키지 레벨에서의 번인 테스트
가 행해지도록 하기 위한 외부신호임을 특징으로 하는 집적회로 패키지 구조.

【청구항 14】

제9항에 있어서, 상기 테스트용 제어신호는 패키지 레벨에서의 번인
테스트, 입출력 테스트, 병렬비트 테스트중의 하나가 행해지도록 하기 위한 외부
신호임을 특징으로 하는 집적회로 패키지 구조.

【청구항 15】

제9항에 있어서, 상기 집적회로 패키지는 볼 그리드 어레이 핀들을 포함함을 특징으로 하는 집적회로 패키지 구조.

【청구항 16】

제9항에 있어서, 상기 집적회로 칩은 스테틱 랜덤 액세스 메모리 소자임을 특징으로 하는 집적회로 패키지 구조.

【청구항 17】

제9항에 있어서, 상기 옵션 패드에는 정정방전 회로가 더 연결된 것을 특징으로 하는 집적회로 패키지 구조.

【청구항 18】

제10항에 있어서, 상기 옵션 패드에는 핀 오픈시에 디바이스 오동작을 막기 위한 키퍼회로가 더 연결된 것을 특징으로 하는 집적회로 패키지 구조.

【청구항 19】

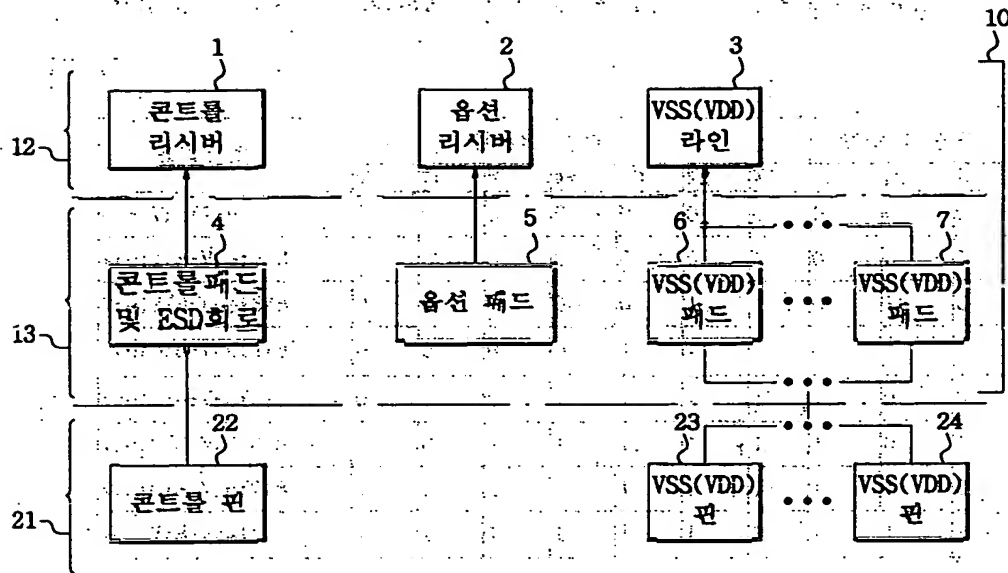
제10항에 있어서, 상기 내부회로는 인버터 구조의 옵션 리시버로 이루어짐을 특징으로 하는 집적회로 패키지 구조.

【청구항 20】

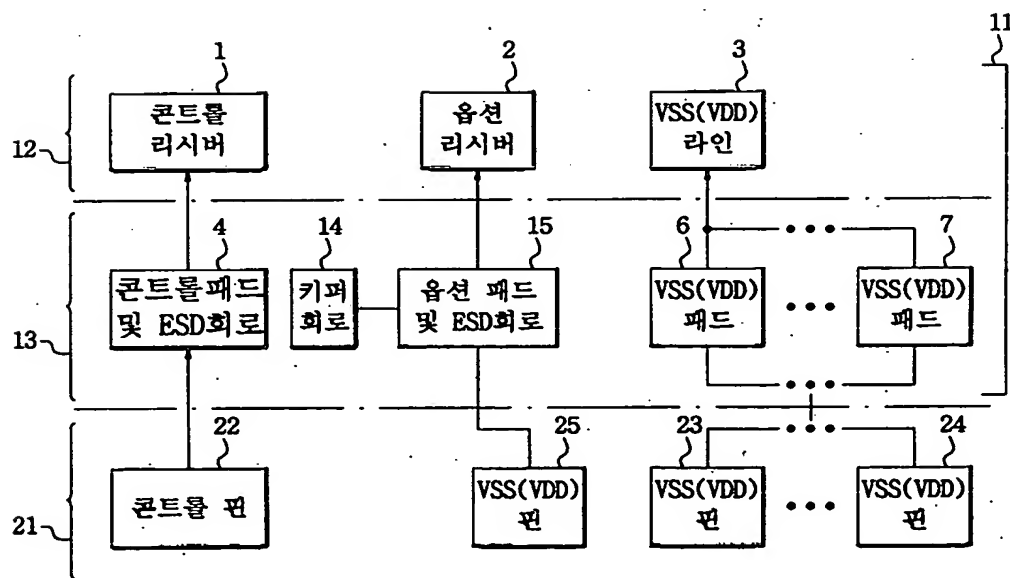
웨이퍼 상태에서만 노출되는 옵션 패드를 패키지 상태에서 노출되는 전원인가용 핀들중 하나의 핀에 독립적으로 연결하여 두고, 상기 옵션 패드에 연결된 전원인가용 핀을 사용하여 패키지 상태에서도 상기 패키지 칩의 내부 회로에 대한 제어를 수행하여 원하는 테스트를 수행하는 것을 특징으로 하는 방법.

【도면】

【도 1】



【도 2】



【도 3】

